

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07038104 A

(43) Date of publication of application: 07.02.95

(51) Int Cl

H01L 29/78

H01L 21/336

H01L 21/28

(21) Application number: 05180968

(22) Date of filing: 22.07.93

(71) Applicant TOSHIBA CORP

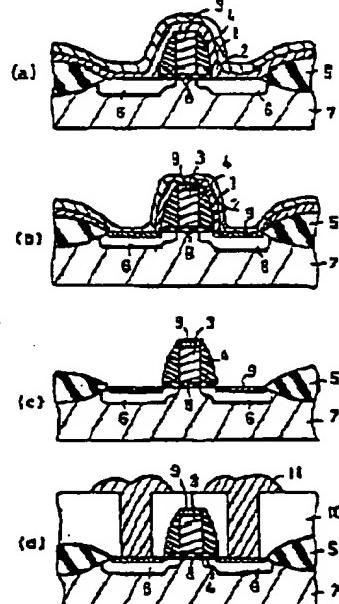
(72) Inventor. OGURO TATSUYA
KUNISHIMA IWAO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract

PURPOSE: To form a metal silicide film of excellent element characteristics by a method wherein the second film consisting of a metal compound is deposited on the specific metal film formed on an Si substrate, an annealing treatment is conducted thereon, and after a metal silicide has been formed on a diffusion layer by having the metal film reacted with Si, the non-reaction metal film and the second film are removed.

CONSTITUTION: A shallow diffusion layer 6 is formed on a source and drain region by ion-implanting As under the condition of acceleration voltage of 30KeV and the dosage of $5 \times 10^{13} \text{ cm}^{-2}$ using a gate electrode 3 as a mask. A deep diffusion layer 6 is formed on the source and drain region by ion-implanting As under the condition of acceleration voltage of 40KeV and the dosage of $5 \times 10^{15} \text{ cm}^{-2}$ using the gate electrode 3 and a gate side wall 4 as a mask. Then, Ni 2 and TiN 1 are continuously deposited on the whole surface of a wafer. An Ni silicide 9 is formed on the surface of the diffusion layer 6 and the gate electrode 3 by having Ni reacted with Si. Also, the unreacted Ni 2 and TiN 1 on the insulating film are removed, and the Ni silicide 9 is left on the diffusion layer 6 and the gate electrode 3 only. Besides, Co or Pt may be used in place of Ni.



COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-38104

(43)公開日 平成7年(1995)2月7日

(51)Int.Cl.

識別記号 実用新案番号

F I

技術表示箇所

H01L 29/78

21/338

21/28

301 S 7376-4M

7514-4M

H01L 29/78

301 P

(21)出願番号

特願平5-180968

(22)出願日

平成5年(1993)7月22日

審査請求 未請求 請求項の数 6 OL (全 7 頁)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 大黒 達也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 國島 巍

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

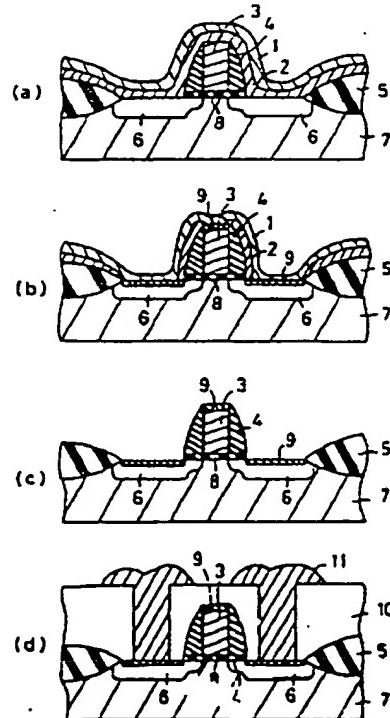
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】 S i 基板7上にゲート電極3及びソース・ドレインとなる拡散層6を形成する工程と、前記S i 基板7全面にN i 2を堆積する工程と、このN i 2上に金属化合物膜1を堆積させる工程と、前記S i 基板7をアニールすることによりN iとS iを反応させ、ゲート電極3上及びソース・ドレインとなる拡散層6上にN iシリサイド9を形成する工程と、未反応の前記N i 2とN i上の前記金属化合物膜1を除去する工程とを有する。

【効果】 拡散層上のN iシリサイドに絶縁膜を形成しないよう、N iシリサイドを安定に成膜させ、素子の特性向上を達成することができる。



【0002】

【従来の技術】N_iシリサイド膜をLDD構造のMOSトランジスタのゲート電極および拡散層上に形成する場合の従来例を図面を参照しながら説明する。図8は従来技術によるLDD構造のNMOSトランジスタ半導体装置の製造方法である。

【0003】まず、S_i基板7表面に選択酸化を施してフィールド酸化膜5を形成し素子領域の分離を行う。次に、S_i基板7上全面を熱酸化し、続いてこの熱酸化膜

10 上に多結晶Si₃N₄膜を形成する。次に、ゲート電極となる多結晶Si₃N₄上にマスクを形成し、RIE法によりゲート電極用多結晶Si₃N₃をパターニングする。次に、ゲート電極3をマスクにソース・ドレイン領域に加速電圧30kV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でAs⁻をイオン注入し深い拡散層6を形成する。次に、S_i基板7上の熱酸化膜からゲート電極用多結晶Si₃N₃上に亘ってS_iNを形成し、RIE法によりエッチングしゲート電極3の側壁にのみS_iNからなるゲート側壁4を形成する。次に、ゲート電極3及びゲート側壁4をマスクにソ

20 ース・ドレイン領域に加速電圧40kV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でAs⁻をイオン注入し深い拡散層6を形成する。次に、拡散層6上の熱酸化膜を希硫酸処理で除去する。次に、N_i2を基板全面に堆積する(図8(a))。

【0004】次に、600°C程度の温度でアニールすることでN_iとSiを反応させ拡散層6上及びゲート電極3上にN_iシリサイド9を形成する(図8(b))。次に、硫酸と過酸化水素水の混合液でSi₃N₄と反応しなかつたフィールド絶縁膜5及びゲート側壁4上のN_i2を選択的に除去し、前記拡散層6上及びゲート電極となる多結晶Si₃N₃上にのみN_iシリサイド4を残存させる(図8(c))。

30 【0005】次に、例えばSi₃O₄膜のような絶縁膜層を設けた後、コンタクトを形成し、配線工程を経て半導体装置を形成する(図8(d))。上記のように形成したLDD構造のNMOSトランジスタにおいては、As⁻がイオン注入された拡散層上でアニールによりN_iシリサイド膜の形成を行う際、N_iが酸素と反応して絶縁膜を形成するという問題点があった。

【0006】

【発明が解決しようとする課題】本発明は上記問題点を鑑みて為されたもので、素子特性の良好なN_iシリサイド膜をゲート電極上及び拡散層上に形成する半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成させるために本発明の第1においては、S_i基板上にゲート電極及びソース・ドレインとなる拡散層を形成する工程と、前記S_i基板全面にN_i、CoあるいはP_tのうち少なくとも1つの金属からなる第1の膜を形成する工程と、この第1の膜上に金属化合物膜からなる第2の膜を堆積させる工程と、前記S_i基板をアニールすることにより前記第1の膜(N_i、CoあるいはP_tのうちいずれか1つの金属)とSiを反応させ、ゲート電極上及びソース・ドレインとなる拡散層上に金属シリサイドを形成する工程と、未反応の前記第1の膜とこの第1の膜上の前記第2の膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

【特許請求の範囲】

【請求項1】 S_i基板上にゲート電極及びソース・ドレインとなる拡散層を形成する工程と、前記S_i基板全面にN_i、CoあるいはP_tのうち少なくとも1つの金属からなる第1の膜を形成する工程と、この第1の膜上に金属化合物膜からなる第2の膜を堆積させる工程と、前記S_i基板をアニールすることにより前記第1の膜(N_i、CoあるいはP_tのうちいずれか1つの金属)とSiを反応させ、ゲート電極上及びソース・ドレインとなる拡散層上に金属シリサイドを形成する工程と、未反応の前記第1の膜とこの第1の膜上の前記第2の膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記アニールの温度は400~700°Cであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 S_i基板上にゲート電極及びソース・ドレインとなる拡散層を形成する工程と、前記S_i基板全面にN_i、CoあるいはP_tのうちいずれか1つの金属からなる第1の膜を形成する工程と、前記S_i基板を300~400°Cの温度でアニールすることにより前記第1の膜とSiを反応させ、ゲート電極上及びソース・ドレインとなる拡散層上に金属シリサイドを形成する工程と、未反応の前記第1の膜を除去する工程と、この第1の膜を除去したS_i基板を400~500°Cの温度でアニールする工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 S_i基板上にゲート電極及びソース・ドレインとなる拡散層を形成する工程と、前記S_i基板全面にN_i、CoあるいはP_tのうちいずれか1つの金属からなる第1の膜を形成する工程と、この第1の膜上に金属化合物膜からなる第2の膜を堆積させる工程と、前記S_i基板を300~400°Cの温度でアニールすることにより前記第1の膜とSiを反応させ、ゲート電極上及びソース・ドレインとなる拡散層上に金属シリサイドを形成する工程と、未反応の前記第1の膜とこの第1の膜上の前記第2の膜を除去する工程と、前記第1の膜と前記第2の膜を除去したS_i基板を400~500°Cの温度でアニールする工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 前記第2の膜としてTiNを用いることを特徴とする請求項1または4記載の半導体装置の製造方法。

【請求項6】 前記第2の膜は、前記アニールで前記第1の膜と反応しないことを特徴とする請求項1または4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係り、特にMOSトランジスタの製造方法に関する。

この第1の膜上に金属化合物からなる第2の膜を堆積させる工程と、前記Si基板をアニールすることにより前記第1の膜(Ni-CoあるいはPtのうちいずれか1つの金属)とSiを反応させ、ゲート電極上及びソース・ドレインとなる拡散層上に金属シリサイドを形成する工程と、未反応の前記第1の膜とこの第1の膜上の前記第2の膜を除去する工程とを有する半導体装置の製造方法を提供する。

【0008】望ましくは、前記アニールの温度は400～700°Cであると良い。本発明の第2においては、Si基板上にゲート電極及びソース・ドレインとなる拡散層を形成する工程と、前記Si基板全面にNi、CoあるいはPtのうちいずれか1つの金属からなる第1の膜を形成する工程と、前記Si基板を300～400°Cの温度でアニールすることにより前記第1の膜とSiを反応させ、ゲート電極上及びソース・ドレインとなる拡散層上に金属シリサイドを形成する工程と、未反応の前記第1の膜を除去する工程と、この第1の膜を除去したSi基板を400～500°Cの温度でアニールする工程とを有する半導体装置の製造方法を提供する。

【0009】本発明の第3においては、Si基板上にゲート電極及びソース・ドレインとなる拡散層を形成する工程と、前記Si基板全面にNi、CoあるいはPtのうちいずれか1つの金属からなる第1の膜を形成する工程と、この第1の膜上に金属化合物膜からなる第2の膜を堆積させる工程と、前記Si基板を300～400°Cの温度でアニールすることにより前記第1の膜とSiを反応させ、ゲート電極上及びソース・ドレインとなる拡散層上に金属シリサイドを形成する工程と、未反応の前記第1の膜とこの第1の膜上の前記第2の膜を除去する工程と、前記第1の膜と前記第2の膜を除去したSi基板を400～500°Cの温度でアニールする工程とを有する半導体装置の製造方法を提供する。望ましくは、前記第2の膜としてTiNを用いるとよい。また、前記第2の膜は、前記アニールで前記第1の膜と反応しないほうがよい。

【0010】

【作用】NMOSトランジスタにおいて、Asがイオン注入された拡散層上にNi、CoあるいはPtのうち例えばNiのシリサイド膜の形成を行うと、アニール時にNiが酸素と反応して絶縁膜を形成するという問題点があった。そこで、絶縁膜形成の過程を本発明者等が鋭意研究した結果、次のようなことがわかった。

【0011】第1に、Si基板上にスパック法等によりNiを堆積した後、この基板を大気中で長時間放置しておくと、AsがドーピングされたSi基板上のNiに粒状の絶縁物が形成される。その状態でアニールによってシリサイド反応させると粒状の絶縁物が形成していた領域のシリサイド上に凸凹形状の絶縁膜が形成される。

【0012】第2に、長時間放置しなくともアニールの

際にアニールガス中にOを含んだ不純物が存在すると、Asがドーピングされた領域のNiシリサイドが反応し絶縁膜が形成される。

【0013】第3に、シリサイド形成中に酸素と反応しなかったNiシリサイドも、酸素を含む中で350°C以上になると、酸素と反応して絶縁膜が形成される。第4に、絶縁膜形成はシリサイド形成の温度に大きく依存しており、シリサイド形成を600°Cで行うより400°Cで行った方が絶縁膜形成の程度は小さい。

10 【0014】上記4つの場合にいずれも絶縁膜形成に酸素が関与していると考えられるのは形成された絶縁膜のSIMS分析でAs、Niの他に高濃度の酸素が検出されたためである(図3(a))。尚、図において、横軸は拡散層表面からの深さ、縦軸は各成分元素の含有量を示した信号の強度である。

【0015】以上のように拡散層上にNiシリサイドを形成する際Asが拡散層の場合NiとOからなる絶縁膜12が形成されるのみならず、Niシリサイドの形状も凹凸をもち、拡散層上の抵抗を上昇させるばかりでなく、Niシリサイド9の一部は、拡散層6を突き抜けたため接合リードをもたらす(図3(b))。

【0016】このように、NMOSにNiシリサイドを拡散層上及びゲート電極上に形成するためにはAsがイオン注入された領域の成膜を安定させることが重要である。そこで本発明では、Ni上にNiが大気中の酸素と反応するのを防ぐ材料を設けることにより、長時間大気中に放置しあるいはシリサイド反応させるためのアニールの際に残留酸素が存在しても、酸素とNiが反応するのを防ぎ絶縁膜を形成するのを防ぎ、凹凸形状の絶縁膜を形成するのを防止するようにしている。ここでは、Niが大気中の酸素と反応するのを防ぐ材料として、例えばTiNを用いて考えてみる。

【0017】図4において(a)は、Ni上にTiNを形成しない場合、(b)はNi上にTiNを形成する場合のNiシリサイド表面のオージェ分析の結果である。図において、横軸は拡散層表面からの深さ、縦軸は各成分元素の含有量である。図4(b)で示されるように、Ni上にTiNを堆積して形成されたNiシリサイドの表面はNの含有が見られ窒化されていることがわかった。この窒化膜の存在によってNiシリサイドを酸素を含む中で350°C以上にしてもNiシリサイドが酸素と反応することにより、絶縁膜の形成を防止できることが本発明者が鋭意研究した結果確認できた。

【0018】シリサイドとなる材料の上にTiNを堆積させる構造としては、Ti/TiN構造が一般に知られている。しかし、Tiの場合、Siが拡散種となってシリサイド形成反応を起こすため、ゲート側壁やフィールド酸化膜といった絶縁膜上へシリサイドがはい上がるといった問題があり、その問題を解決するためにTiの上にTiNを堆積させ、シリサイド形成時にTiを窒化さ

せるといったことが行われている。

【0019】今回の発明では、シリサイドとなる材料のNi上にTiNを堆積させているが、Niの場合、Niが拡散層となってシリサイド形成反応を起こすため、Tiでみられるようなはい上がりの問題ではなく、はい上がり防止のためにTiNを堆積したのではない。TiNを堆積させる目的は、NMOSトランジスタに存在する、Asがイオン注入されてできたN型の拡散層上に形成されたNiシリサイド上に絶縁膜を形成しないように、Niシリサイドを安定に成膜させ、素子の特性向上を達成することである。

【0020】また、シリサイドの形成温度として低温の場合は、Asがイオン注入されてできたN型の拡散層上のNiシリサイドに絶縁膜が形成されなくなる。その温度は300~400°Cであるが、この温度ではNiとSiの組成がNiシリサイドとは異なったものになっており抵抗が高くなってしまうが、本発明のように未反応のNiあるいはNi、TiNを除去した後、450°C程度の温度で再びアニールを行うことで組成をNiシリサイドにし、抵抗を低くすることができます。このようにアニールを2回に分けることでAsがイオン注入されてできたN型の拡散層上のNiシリサイドに絶縁膜が形成されるのを防ぎつつ、低い抵抗をもつ良好なNiシリサイドを成膜させることができます。尚、Niに限らずCoあるいはPtの場合においても同様のことが言える。

【0021】

【実施例】本発明の実施例を図面を参照して説明する。

実施例1

図1は本発明の一実施例による半導体装置の製造方法である。

【0022】まず、Si基板7表面に選択酸化を施してフィールド酸化膜5を形成し素子領域の分離を行う。次に、Si基板7上全面を熱酸化し、続いてこの熱酸化膜上に多結晶Si膜を形成する。次に、ゲート電極となる多結晶Si上にマスクを形成し、RIE法によりゲート電極用多結晶Si3をバーニングする。次に、ゲート電極3をマスクにソース・ドレイン領域に加速電圧30kV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でAsをイオン注入し浅い拡散層6を形成する。次に、Si基板7上の熱酸化膜からゲート電極用多結晶Si3上に亘ってSiNを形成し、RIE法によりエッチングしゲート電極3の側壁にのみSiNからなるゲート側壁4を形成する。次に、ゲート電極3及びゲート側壁4をマスクにソース・ドレイン領域に加速電圧40kV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でAsをイオン注入し深い拡散層6を形成する。次に、拡散層6上の熱酸化膜を希硫酸処理で除去する。次に、ウェハー全面にスパック法でNi2を堆積させる(図1(a))。

【0023】その後、400~700°Cで窒素あるいはAr雰囲気中でアニールし、NiとSiを反応させNiシリサイド9を形成する(図1(b))。この温度範囲の場合は、Asがイオン注入されてできたN型の拡散層上のNiシリサイドに絶縁膜が形成されなくなる。

層6表面及びゲート電極3上にNiシリサイド9を形成する。この際、NiとTiN、SiとTiNは反応しないので、Niがシリサイドを形成する過程で影響を与えることはない。このTiNはNiを堆積してから長時間保存する際、存在する大さの残留酸素やアニールの際に存在する残留酸素とNiが反応して凹凸形状の絶縁膜を形成するのを防ぐ(図1(b))。

【0024】次に、硫酸と過酸化水素水の混合液で絶縁膜上に存在する未反応のNi2とTiNを同時に除去し、ソース・ドレインとなる拡散層6上及びゲート電極3上のみにNiシリサイド9を残存させる(図1(c))。

【0025】次に、例えばSiO₂膜のような絶縁膜層を設けた後、コンタクトを形成し、配線工程を経て半導体装置を形成する(図1(d))。

実施例2

本発明の他の実施例による半導体装置の製造方法を図2を用いて説明する。

【0026】

まず、Si基板7表面に選択酸化を施してフィールド酸化膜5を形成し素子領域の分離を行う。次に、Si基板7上全面を熱酸化し、続いてこの熱酸化膜上に多結晶Si膜を形成する。次に、ゲート電極となる多結晶Si上にマスクを形成し、RIE法によりゲート電極用多結晶Si3をバーニングする。次に、ゲート電極3をマスクにソース・ドレイン領域に加速電圧30kV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でAsをイオン注入し浅い拡散層6を形成する。次に、Si基板7上の熱酸化膜からゲート電極用多結晶Si3上に亘ってSiNを形成し、RIE法によりエッチングしゲート電極3の側壁にのみSiNからなるゲート側壁4を形成する。次に、ゲート電極3及びゲート側壁4をマスクにソース・ドレイン領域に加速電圧40kV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でAsをイオン注入し深い拡散層6を形成する。次に、拡散層6上の熱酸化膜を希硫酸処理で除去する。次に、ウェハー全面にスパック法でNi2を堆積させる(図2(a))。

【0027】その後、300~400°Cで窒素あるいはAr雰囲気中でアニールし、NiとSiを反応させNiシリサイド9を形成する(図2(b))。この温度範囲の場合は、Asがイオン注入されてできたN型の拡散層上のNiシリサイドに絶縁膜が形成されなくなる。

【0028】次に、硫酸と過酸化水素水の混合液で絶縁膜上に存在する未反応のNi2を除去した後、450°C程度のアニールを再度行う。その後、ソース・ドレインとなる拡散層6上及びゲート電極となる多結晶シリコン3上のみNiシリサイド9を残存させる(図2(c))。

【0029】次に、に示すように、例えばSiO₂膜のような絶縁膜層を設けた後、コンタクトを形成し、配線工程を経て半導体装置を形成する(図2(d))。アニ

ールが、300~400°Cの範囲の温度の場合は、Asがイオン注入されてできたN型の拡散層上のNiシリサイドに絶縁膜が形成されなくなる。しかしながら、この温度ではNiとSiの組成がNiシリサイドとは異なったものになっており抵抗が高くなってしまう。本發明のように未反応のNiあるいはNi-TiNを除去した後、450°C程度の温度で再びアニールを行うことで組成をNiシリサイドを生成し、抵抗を低くすることができる。このようにアニールを2回に分けることでAsがイオン注入されてできたN型の拡散層上のNiシリサイドに絶縁膜が形成されるのを防ぎつつ、低い抵抗をもつ良好なNiシリサイドを成膜させることができる。

【0030】上記実施例において、450°C程度の追加のアニールは未反応のNiを除去した直後に行わなくても配線工程後のシンターで兼ねることもできる。また、実施例1と2を組み合わせNiの上にTiNを形成し2段階のアニールをした場合でも同様の効果が得られる。

【0031】以上本実施例においては、Niシリサイドをはりつけられた接合特性はNiシリサイドを形成する温度に大きく依存していることが確認されている。図5(a)は、400°Cでシリサイド形成させたものであり、(b)は、600°Cでシリサイド形成させたものの接合特性を現している。尚、図中横軸は逆バイアス電圧、縦軸は接合リーク値である。これより、明らかに低温で行った方が接合リークを起こす逆バイアス電圧が高いため良い特性を示すことができる。これは、温度が高いとシリサイド反応の際に拡散種であるNiの拡散が過剰に起きP/N接合付近まで到るために接合リークをひきおこすためである。このように低温である方が良い特性であるが、図6を見ると分かる通り低温にすると抵抗率が上昇するといった悪い点もある。尚、図中横軸は温度、縦軸はシート抵抗値である。

【0032】図7はNiシリサイドの組成比を表しているX線結果である。図中横軸は結晶方向を表し、縦軸は強度を表している。図7のX線の結果から、NiとSiの組成比がシリサイド形成温度で異なることによることは明らかである。図7(b)は、300~400°Cのアニールを行ったときNiシリサイドの組成比を表している。この時、図中にはピークが現れず、組成はアニールによってNiシリサイドを形成していない。一方、図7(a)は、硫酸と過酸化水素水の混合液で絶縁膜上に存在する未反応のNiとTiNを同時に選択的に除去した後、450°C程度のアニールを再度行っている。この時、図中に4つのピークが現れたことによって、Niシリサイドを相転移させた時は、組成がアニールによってNiシリサイドになっていることがわかる。

【0033】なお、本発明は発明の主旨を逸脱しない限り種々、変形してこれを利用できる。例えば、トランジスタはLDD構造に限定されない。また、シリサイドを形成する材料としてはNiに限定されず、Co、Pt等

でもよい。また、前記シリサイドを形成する材料が大半中の酸素と反応するのを防ぐ材料としては、TiNに限らず、TiC、TiW、TiB、WB₂、WC、BN、AlN、Mg₂N₃、CaN、Ge₃N₄、Ta₂N、NbN₂、V₂N、VC、ZrN、ZrB等でもよ

【0034】

【発明の効果】本発明によれば、大気中の酸素と反応するのを防ぐ材料として、例えばTiNを堆積することにより、拡散層上の金属、例えばNiシリサイドに絶縁膜を形成しないように、Niシリサイドを安定に成膜させ、素子の特性向上を達成することができる。また、アニールを2回に分けることで、N型の拡散層上のNiシリサイドに絶縁膜が形成されるのを防ぎつつ、低い抵抗をもつ良好なNiシリサイドを成膜させることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の一実施例を示した工程断面図。

【図2】本発明の半導体装置の製造方法の他の実施例を示した工程断面図。

【図3】(a)は、本発明の半導体装置の製造方法に係わり、従来技術により形成された絶縁膜形成に関する特性図。(b)は、本発明の半導体装置の製造方法に係わり、従来技術により形成された絶縁膜形成に関する特性図。

【図4】本発明の半導体装置の製造方法に係わる窒化膜形成に関する特性図。

【図5】本発明の半導体装置の製造方法に係わるトランジスタの接合特性図。

【図6】本発明の半導体装置の製造方法に係わるシリサイド形成の温度特性図。

【図7】本発明の半導体装置の製造方法に係わるシリサイド形成に関する特性図。

【図8】従来技術による半導体装置の製造方法を示した工程断面図。

【符号の説明】

1...TiN

2...Ni

3...多結晶Si

4...ゲート側壁

5...フィールド酸化膜

6...ソース・ドレイン

7...Si基板

8...ゲート絶縁膜

9...Niシリサイド

10...SiO₂膜

11...Al配線

12...Niオキサイド

(6)

【図1】

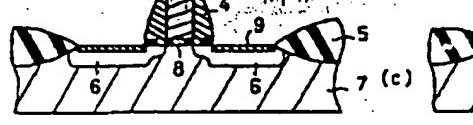
(a)



(b)



(c)

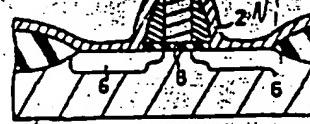


(d)

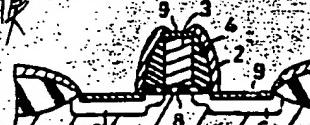


【図2】

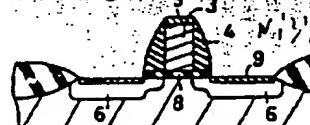
(a)



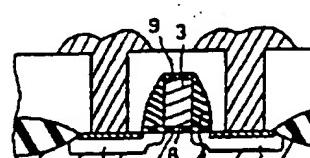
(b)



(c)

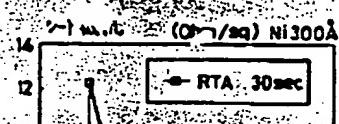


(d)



【図6】

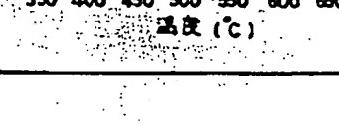
(a)



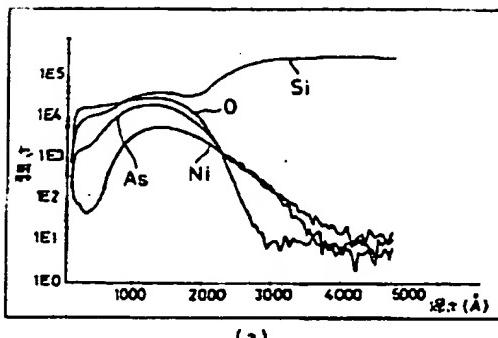
(b)



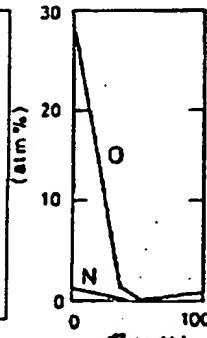
(c)



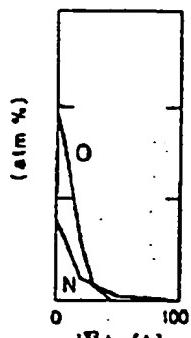
【図3】



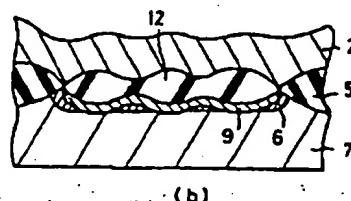
(a)



(a)

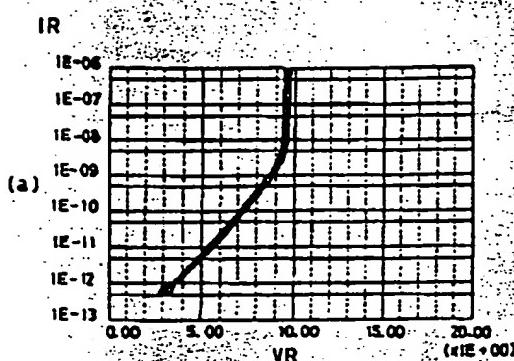


(b)

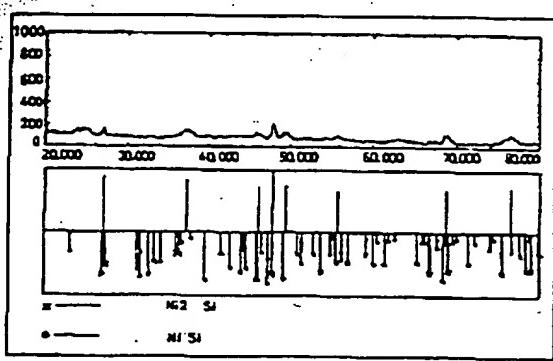
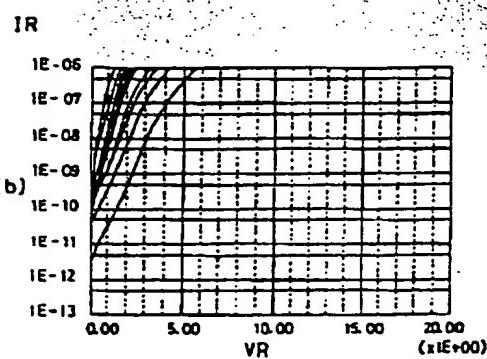
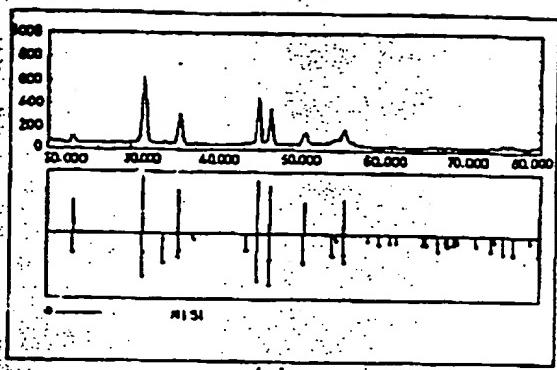


(b)

【図5】



【図7】



【図8】

ニッケル用吸着装置
銀の吸着装置

